

Profesor Tec de ingeniería va por su cuarta patente registrada



“Muchas veces es difícil, no siempre sale a la primera pero, cuando aciertas, sabes que acabas de hacer algo que quizás a nadie se le había ocurrido”, comparte Moises García, quien por cuarta vez en su carrera como **investigador**, colaboró en una nueva patente compuesta de tecnologías de compuertas lógicas.

"Método y circuito para integrar una matriz programable en campo de compuertas lógicas reconfigurables que emplean un sistema no lineal y un recableado programable eficaz" es el resultado de 1 año trabajo junto su equipo de investigadores.

Moises destaca en su ramo como **investigador nivel I** en el **SNI (Sistema Nacional de Investigadores)**, miembro del **IPICYT (Instituto Potosino de Investigación Científica y Tecnológica)** y director de la carrera en Mecatrónica del Tec de Monterrey campus San Luis Potosí.

La patente registrada en la Secretaría de Economía del gobierno de México. **Foto: Moises García.**

TÍTULO DE PATENTE No. 383638

| | | |
|-----------------------|--|--|
| Titular(es): | INSTITUTO POTOSINO DE INVESTIGACIÓN CIENTÍFICA Y TECNOLÓGICA, A.C. | |
| Domicilio: | Camino a la Presa San José No. 2055, Col. Lomas 4a. Sección, 78216, San Luis Potosí, San Luis Potosí, MÉXICO | |
| Denominación: | MÉTODO Y CIRCUITO PARA INTEGRAR UNA MATRIZ PROGRAMABLE EN CAMPO DE COMPUERTAS LÓGICAS RECONFIGURABLES QUE EMPLEAN UN SISTEMA NO LINEAL Y UN RECABLEADO PROGRAMABLE EFICAZ. | |
| Clasificación: | CIP: H03K19/173; G06F7/38; H03K19/177 CPC: H03K19/1736; H03K19/1737; H03K19/17708 | |
| Inventor(es): | ERIC CAMPOS CANTON; MOISES GARCIA MARTINEZ; ROBERTO RAFAEL RIVERA DURON | |

SOLICITUD

| | | |
|------------------|-------------------------------|--------------|
| Número: | Fecha de Presentación: | Hora: |
| MX/a/2016/011235 | 30 de Agosto de 2016 | 11:29 |

Vigencia: Veinte años
Fecha de Vencimiento: 30 de agosto de 2036
Fecha de Expedición: 19 de mayo de 2021

"Aún sigo estando contento de pensar que lo logramos"

Los **FPGA** (*Field Programmable Gate Arrays*), son dispositivos programables con un lenguaje de descripción que encontramos en muchos de los aparatos electrónicos que usamos comúnmente, como reproductores de DVD hasta algunos automóviles.

Estos contienen miles de celdas conformadas de compuertas que hacen sus **operaciones lógicas**. De acuerdo al comportamiento de estos dispositivos, solo una en cada 8 compuertas operan.

Moises García, Eric Campos, y Roberto Rivera, lograron mejorar el rendimiento de estos FPGA con su investigación y creación de prototipo. "Aún sigo estando contento de pensar que lo logramos", cuenta el profesor de la escuela de Ingeniería.

Equipo de investigadores: Eric Campos, Moises García y Roberto Rivera (2019). **Foto: Moises García.**



La ciencia detrás del proyecto

En este prototipo, se optimiza la arquitectura diseñada en las celdas y **compuertas lógicas** por medio de una programación especializada.

En lugar de tener en cada **celda 8 compuertas lógicas**, solo existe una que se comporta como todas las restantes. Con ello, no solo optimizan el diseño de las celdas, sino que mejoran el funcionamiento de los **FPGA** en un 100%.

La invención reduce el espacio de fabricación, pues en lugar de necesitar miles de celdas en el dispositivo, solo se tendrá una que actúe como todas, beneficiando a la industria electrónica de consumo.

Cómo se ve el experimento el cual pudieron patentar. **Foto: Moises García.**



Nació para innovar

Como profesor investigador, **Moises** cuenta con una gran trayectoria. Con esta innovación aprobada para su patente, ya forma parte de su catálogo de cuatro invenciones, 2 son **patentes nacionales** y 2 **internacionales**.

“Es siempre un orgullo poder seguir descubriendo y cambiando el rumbo de la tecnología”.

“Es siempre un orgullo poder seguir descubriendo y cambiando el rumbo de la tecnología, porque nunca acabas de conocer más cosas de las cuales puedes ser parte”, comparte el profesor del campus San Luis.

SEGURO QUERRÁS LEER TAMBIÉN:

Alumnos presentan estrategia comercial a Aeroméxico y Chocolate Ibarra
Alumnos presentan estrategia comercial a Aeroméxico y Chocolate Ibarra

Estudiantes de campus San Luis Potosí logran victoria al exponer proyectos a directivos de Aeroméxico y Chocolate Ibarra
tec.mx

¡Logro! Alumno del Tec campus SLP obtiene victoria nacional en ajedrez
¡Logro! Alumno del Tec campus SLP obtiene victoria nacional en ajedrez

Conoce a José Ángel Hernández Luna, aficionado del ajedrez y ganador nacional de la X Copa Independencia de ajedrez 2021.

tec.mx